

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
10. Februar 2005 (10.02.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/013363 A2

(51) Internationale Patentklassifikation⁷: **H01L 23/485**

(21) Internationales Aktenzeichen: PCT/EP2004/051458

(22) Internationales Anmeldedatum:
12. Juli 2004 (12.07.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 35 153.1 31. Juli 2003 (31.07.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): SIEMENS AKTIENGESELLSCHAFT [DE/DE];
Wittelsbacherplatz 2, 80333 München (DE). EUPEC EU-
ROPÄISCHE GESELLSCHAFT FÜR LEISTUNG-
SHALBLEITER MBH [DE/DE]; Max-Planck-Strasse 5,
59581 Warstein (DE).

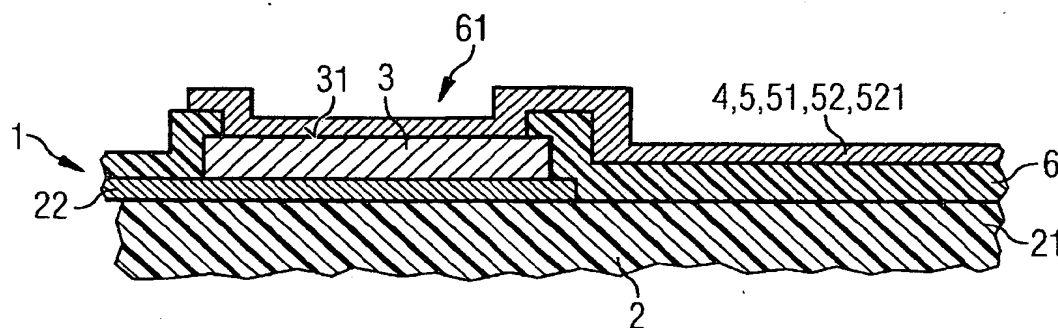
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): WOLFGANG, Eck-
hard [AT/DE]; Mumauerstr. 237, 81379 München (DE).
ZAPF, Jörg [DE/DE]; Dalandstr. 1, 81927 München
(DE). GUTSMANN, Bernd [DE/DE]; Fliederstr. 19,
28844 Weyhe (DE). AUERBACH, Franz [DE/DE];
Schmückersweg 6, 59494 Soest (DE). LICHT, Thomas
[DE/DE]; Ostterrasse 5, 59581 Warstein (DE). SELIGER,

[Fortsetzung auf der nächsten Seite]

(54) Title: CIRCUIT ARRANGEMENT PLACED ON A SUBSTRATE AND METHOD FOR PRODUCING THE SAME

(54) Bezeichnung: SCHALTUNGSANORDNUNG AUF EINEM SUBSTRAT UND VERFAHREN ZUM HERSTELLEN DER
SCHALTUNGSANORDNUNG AUF DEM SUBSTRAT



(57) Abstract: The invention relates to a circuit arrangement (1) placed on a substrate (2) and comprising at least one semiconductor component (3) arranged on the substrate and having at least one electrical contact surface (31) and at least one connection line (4) also arranged on the substrate and used to electrically contact the contact surface of the semiconductor component. Said circuit arrangement is characterised in that the connection line (4) forms part (51) of a discrete, passive electrical component (5) arranged on the substrate. The electrical contacting of the contact surface of the semiconductor component is carried out during a step of the process and the part of the discrete, passive electrical component is produced. To this end, especially a film consisting of an electrically insulating material is applied to the power semiconductor and to the substrate under a vacuum, and the contact surface of the power semiconductor is then bared. Furthermore, the connection line is produced, during which process the electrical contacting of the contact surface of the semiconductor component is carried out and the part of the discrete, passive electrical component is produced.

(57) Zusammenfassung: Die Erfindung betrifft eine Schaltungsanordnung (1) auf einem Substrat (2) mit mindestens einem auf dem Substrat angeordneten Halbleiterbauelement (3) mit mindestens einer elektrischen Kontaktfläche (31) und mindestens einer auf dem Substrat angeordneten Verbindungsleitung (4) zur elektrischen Kontaktierung der Kontaktfläche des Halbleiterbauelements. Die Schaltungsanordnung ist dadurch gekennzeichnet, dass die Verbindungsleitung (4) ein Bestandteil (51) eines diskreten, passiven elektrischen Bauelements (5) ist, das auf dem Substrat angeordnet ist. In einem Prozessschritt werden die elektrische

[Fortsetzung auf der nächsten Seite]

WO 2005/013363 A2



Norbert [AT/DE]; Gnesener Str. 24, 81929 München (DE).

(74) **Gemeinsamer Vertreter:** SIEMENS AKTIENGESellschaft; Postfach 22 16 34, 80506 München (DE).

(81) **Bestimmungsstaaten** (*soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) **Bestimmungsstaaten** (*soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart*): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Kontaktierung der Kontaktfläche des Halbleiterbauelements und der Bestandteil des diskreten, passiven elektrischen Bauelements erzeugt. Dazu wird insbesondere eine Folie aus elektrisch isolierendem Material unter Vakuum auf dem Leistungshalbleiter und dem Substrat aufgetragen und nachfolgend die Kontaktfläche des Leistungshalbleiters freigelegt. Im Weiteren wird die Verbindungsleitung erzeugt, wobei die elektrische Kontaktierung der Kontaktfläche des Halbleiterbauelements und der Bestandteil des diskreten, passiven elektrischen Bauelements erzeugt werden.